

GaNエピタキシャル膜とALD薄膜の界面準位密度

【サムコ(株) 基盤技術研究所】

はじめに

一般的にゲート絶縁膜に求められる特性としては、①極薄膜の膜厚制御が可能であること、②ピンホールフリーの膜でリーク電流が小さいこと、③高誘電率、高耐圧の絶縁膜であること、④界面準位・膜中電荷が少ないことこの4つが挙げられる。ALD (Atomic layer deposition)は低温にて表面反応のみを利用するレイヤーバイレイヤーの成膜手法であり、上記の①～④の特性を満たす手法の一つである。ALDは原子層レベルの膜厚制御が可能で、ピンホールフリー成膜も実現できる^[1]。また、AlO_xやSiO₂、HfO₂等の高誘電率、高耐圧の絶縁膜を成膜することもできる。界面準位はキャリアをトラップすることでMOSFETの高周波特性に影響を及ぼすため、その低減が望まれる。界面準位密度には成膜前の表面状態が影響するが、熱アシストによる表面反応のみで成膜するALD法はプラズマダメージ等の影響は無く、他の成膜手法よりも界面準位密度を低くしやすいと言える。上述のように、ALD法はゲート絶縁膜の成膜に適した手法である。ここでは弊社のALD装置AL-1によりGaN上にAlO_x、SiO₂を成膜し、界面準位密度に関する評価結果を示す。

GaNとAlO_x、SiO₂の界面準位の測定

今回実施したGaNエピタキシャル層とAL-1で成膜したAlO_x膜、SiO₂膜との界面準位密度に関する実験の詳細を示す。

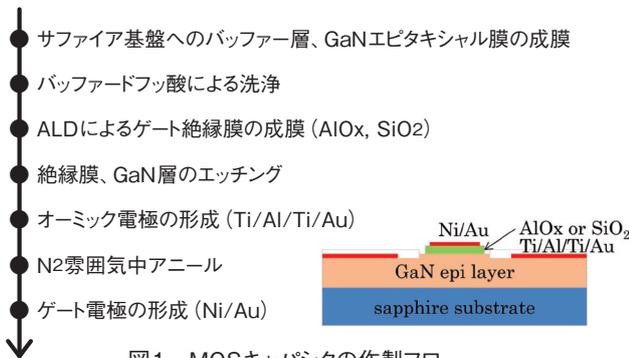


図1 MOSキャパシタの作製フロー

今回の実験ではMOSキャパシタを作製し、そのC-V測定の結果から界面準位密度を求めた。図1にMOSキャパシタの作製フローを示す。GaNエピタキシャル層はサファイア基板上にバッファ層を挟んでMOCVD法で成膜した。バッファードフッ酸で洗浄を行った後、AL-1にてAlO_x膜またはSiO₂膜を20 nm成膜した。成膜した絶縁膜とGaN層をドライエッチングした後、Ti/Al/Ti/Auを蒸着してオーミック電極を形成した。その後、N₂雰囲気中で850℃、30 secのRTA(Rapid Thermal Annealing)を2回行った。最後に、ゲート電極としてNi/Auを蒸着してMOSキャパシタを完成させた。

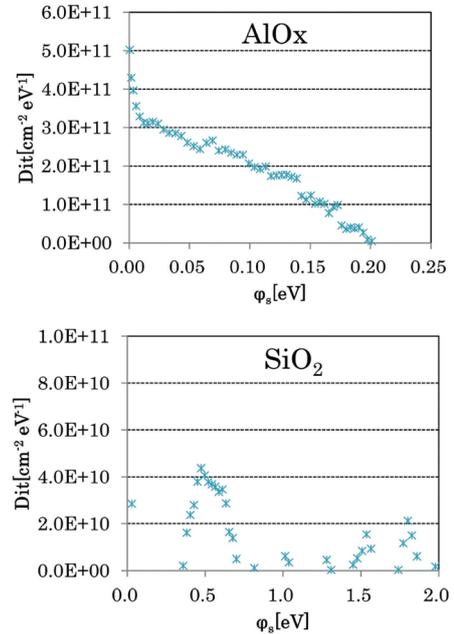


図2 Terman法で評価した界面準位密度

図2にMOSキャパシタのC-V測定データから求めた界面準位密度を示す。界面準位密度の評価にはTerman法を用いた。横軸が界面準位のエネルギーを縦軸が各エネルギーにおける界面準位密度を示している。AlO_x膜をゲート絶縁膜とした場合の界面準位密度が $6 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 以下、SiO₂膜をゲート絶縁膜とした場合は $5 \times 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 以下となった。一般的なSiデバイスのゲート絶縁膜の界面準位密度が $10^9 \sim 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ であるため、今回得られた界面準位密度の値はデバイスに十分使用できるレベルであると言える。AlO_x膜を用いた場合の界面準位密度はSiO₂膜を用いた場合やSiデバイスよりも1桁程度悪い結果となっているが、これはAlO_x膜がSiO₂膜よりも低温で成膜されていることやバッファードフッ酸洗浄によるダメージ等が影響していると考えられる。洗浄条件やアニール条件を変えることで更に界面準位密度を低くすることが可能であると考えられる。

謝辞

今回の実験にご協力いただいた山口大学教授只友氏と井本研究員、幸研究員に感謝の意を表します。

参考文献

- [1] Johnson, R. W., Hultqvist, A. & Bent, S. F. A brief review of atomic layer deposition: From fundamentals to applications. Mater. Today 17, 236–246 (2014).