

Boschプロセス用ICPエッチング装置と 絶縁膜形成用CVD装置の3次元実装への応用

1.はじめに

シリコン半導体の高集積化とチップサイズのさらなる小型化の要求にともない、現在、さまざまな企業や研究機関等で3次元実装の研究が行われている。ここでは、Boschプロセス用ICPエッチング装置RIE-200iPBと絶縁膜形成用プラズマCVD装置PD-270STPの3次元実装のビアホール製作工程への応用を紹介する。

2.ビアホール製作工程と当社装置

図1は、当社が成膜プロセスなどで協力させて頂いた超先端電子技術開発機構（ASET）のビアホール製作工程である。この中で、『②ビアホール加工』と『⑨Cuのプラグ出し』にICPエッチング装置RIE-200iPB、『③ビアホール側壁への絶縁膜形成』に絶縁膜形成用プラズマCVD装置PD-270STP、『④ホール底部絶縁膜除去』と『⑩Cuコンタクト出し』にリアクティブイオンエッチング装置RIE-10NR、『⑪CuバリアSiN層形成』に窒化膜形成用プラズマCVD装置PD-3800Lなどの当社製品の応用が可能である。

3.ICPエッチング装置 RIE-200iPBによるビアホール加工

表面工程では、Si基板にデバイスが作製された後、70 μm のSiディープエッチングが行われ、ビアホールが形成される。当社では、Siディープエッチング技術として知られるBoschプロセスの専用のICPエッチング装置RIE-200iPBを市場投入している。Boschプロセスは、高アスペクト形状の高速エッチングが可能であるため3次元実装への応用が大きく期待されている。図2は、本装置によるビアホールの加工例である。直径4 μm 深さ30 μm の小径の孔と直径30 μm 深さ200 μm の

大径の孔の2種類の加工であるが、孔の大きさ、深さに関わらずとも垂直で高精度なエッチング形状であり、3次元実装で要求されるSiディープエッチングに本装置が適していることがわかる。小径の孔はやや順テーパーがかっているが、のちの成膜工程およびCuプラグ形成でのカバレッジを考慮したためであり、意図的に行ったものである。

4.ビアホール側壁への絶縁膜形成

ビアホール側壁への絶縁膜形成では、カバレッジと均一性、さらに絶縁性にすぐれた成膜が要求される。当社の絶縁膜形成用プラズマCVD装置PD-270STPは、液体ソースのTEOSを用いるLS-CVD[®]法により、高アスペクトホール内壁へのカバレッジにすぐれたSiO₂膜の形成が可能である。また、当社独自のセルフバイアス制御法の採用により、低温かつ高速で薄膜から厚膜まで低ストレスでの成膜が可能である。図3は、本装置によるTEOS-SiO₂膜のカバレッジ特性である。エッチング深さが120 μm で開口径が異なる場合、開口径と深さのアスペクト比の違いにより、ホール内壁の側面上部、側面下部、底部の3箇所膜厚がどのように変わるかということを示している。アスペクト比が大きくなるにしたがって、表面に対する膜厚比率は減少しているが、アスペクト比が7の場合でも、側面下部や底部は35%程度と良好な結果が得られている。図4は、サンプル温度150℃以下、膜厚1.0 μm の場合のTEOS-SiO₂膜のリーク電流測定結果である。成膜部位によらず電圧が-15.00Vのときでもリーク電流は1.00E-09程度と良好な結果が得られている。本装置によるTEOS-SiO₂膜はカバレッジと絶縁耐圧にすぐれており、ビアホール側壁の絶縁膜に適していることがわかる。

図1.3次元実装のビアホール製作工程

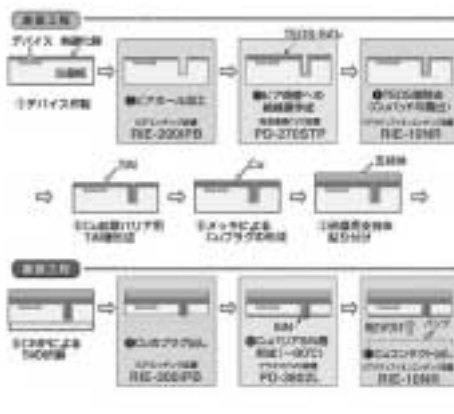


図2.ICPエッチング装置によるビアホールの加工

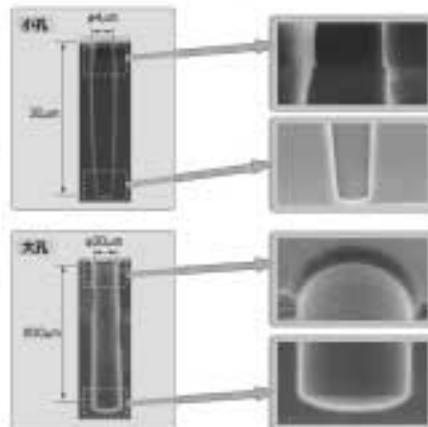


図3.TEOS-SiO₂膜のカバレッジ特性

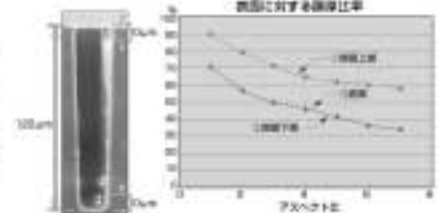


図4.TEOS-SiO₂膜のリーク電流測定結果

